

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

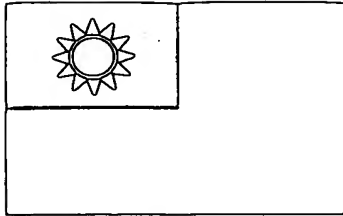
Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

JCLA7045



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

JC868 U.S. PTO
10/055500
01/22/02

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，

其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2001 年 04 月 04 日
Application Date

申請案號：090108178
Application No.

申請人：威盛電子股份有限公司
Applicant(s)

局 長

Director General

陳明邦

發文日期：西元 2001 年 5 月 04 日
Issue Date

發文字號：09011006187
Serial No.

申請日期	
案 號	
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	分割設定組態位址空間的方法及系統
	英 文	
二、發明人 創作人	姓 名	蔡兆爵
	國 籍	中華民國
	住、居所	台北市南京東路五段 251 巷 50 弄 5-3 號
三、申請人	姓 名 (名稱)	威盛電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	台北縣新店市中正路 533 號 8 樓
	代 表 人 姓 名	王雪紅

經濟部智慧財產局員工消費合作社印製

裝

訂

線

四、中文發明摘要（發明之名稱： 分割設定組態位址空間的方法及系統）

本發明提供一種設定組態位址空間的分布與儲存方式，其可應用於目前的先進電腦系統中，卻不需要修改傳統電腦系統中所使用的BIOS或系統軟體。對微處理器而言，彷彿所有的設定組態資料都仍存在於北橋控制晶片當中。但實際上，一些與PCI匯流排相關的組態設定值則是儲存於南橋控制晶片中。這樣的設計可隱藏先進電腦系統引進一條高速私有匯流排所造成的影響，卻可同時滿足先進系統必須分割組態設定空間分布的需求。

英文發明摘要（發明之名稱：）

（請先閱讀背面之注意事項再填寫本頁各欄）

裝 訂 線

五、發明說明（ / ）

本發明是有關於一種設定組態儲存空間的設計，且特別是有關於一種分割設定組態儲存空間的方式。

在傳統使用PCI匯流排的電腦系統中，通常都存在北橋（North Bridge）控制晶片與南橋（South Bridge）控制晶片。第1圖係顯示一種習知傳統PCI匯流排系統架構及其組態暫存器分布位置之示意圖。如第1圖所示，北橋控制晶片100負責連接微處理器110與33Mhz的PCI匯流排120，而南橋控制晶片130則負責將一些如USB控制器、IDE控制器等週邊裝置連接到33Mhz的PCI匯流排120上。同時，像LAN控制器也會利用33Mhz的PCI匯流排連接到記憶體系統（如DRAM）。當記憶體匯流排與周邊裝置的傳輸速度都日益增快之時，資料傳輸速率的瓶頸就會落在只有33Mhz的PCI匯流排上。日前，先進的電腦系統爲了提昇傳輸速率，在北橋控制晶片與南橋控制晶片之間引進了一個高速的私有匯流排，而把原有的33MhzPCI匯流排移至南橋控制晶片之中，如台灣專利申請號88121972，以及台灣專利申請號88121973，其美國申請號09/735412，都是利用私有匯流排來作爲北橋控制晶片以及南橋控制晶片之間的資料傳輸。如此一來，當南橋控制晶片中的周邊裝置速度提昇時，資料的傳輸就不會再受限於33Mhz的PCI匯流排，因爲資料可以透過新的高速私有匯流排傳輸。第2圖係顯示一種習知先進PCI匯流排系統架構及其組態暫存器分布位置之示意圖。如第2圖所示，此時北橋控制晶片100則負責連接微處理器110與新的高速私有匯流排140，而南橋控制晶片130則

（請先閱讀背面之注意事項再填寫本頁）

裝
訂
線

五、發明說明（乙）

負責此高速私有匯流排140與原有的PCI匯流排120和其他週邊裝置之間的連接。

從實體架構的角度來看，此類先進的系統在北橋控制晶片中必須有一個主連接器，負責微處理器與高速私有匯流排之間的資料傳輸；而在南橋控制晶片中則有一個新增的連接器，負責高速私有匯流排與PCI匯流排之間的資料傳輸，以及一個原有的ISA匯流排連接器。這樣的變動，使得BIOS或OS系統的開發者也必須注意這個新架構所帶來的影響，因為原有從微處理器到PCI匯流排120、ISA匯流排180、與其他週邊裝置的路徑都必須經過這個新增在北橋和南橋控制晶片裡的連接器的。

如第1圖所示，傳統使用PCI匯流排的系統中，北橋控制晶片100含有一個主橋接器設定組態儲存空間160，這個主橋接器設定組態儲存空間160存放一些與微處理器110、記憶體系統150、以及PCI匯流排120等相關控制邏輯所需的設定值；相同地，南橋控制晶片也含有一個ISA設定組態儲存空間190，儲存一些與ISA匯流排180相關控制邏輯所需的設定值。如前所述，在先進的電腦系統中，為了提昇資料傳輸的速率而在北橋與南橋控制晶片之間引進一條高速的私有匯流排，且將原有的PCI匯流排控制邏輯移至南橋控制晶片130之中。如第2圖所示，原有存在北橋控制晶片100中的主橋接器設定組態儲存空間160將有一部份必須連同PCI匯流排120的控制邏輯一起被移至南橋控制晶片中。也就是那些原來存放在北橋控制晶片100中與PCI匯流

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(3)

排120之控制邏輯相關的主橋接器設定組態儲存空間160，現在必須存放在南橋控制晶片中，即主橋接器設定組態儲存空間170。這樣的改變使得原有的軟體必須經過一些修改才能先進的電腦系統中使用，是以增加BIOS或OS開發業者的負擔。

本發明提供一種設定組態位址空間的分布與儲存方式，其可應用於目前的先進電腦系統中，卻不需要修改傳統電腦系統中所使用的BIOS或系統軟體。也就是說，從BIOS或OS系統開發者的角度來看，新進電腦系統在設定組態的存取方式與架構並無改變。

為達上述及其他目的，本發明提供一種分割設定組態位址空間的方法，此方法可應用於一般有使用PCI匯流排的電腦系統，特別是在北橋控制晶片與南橋控制晶片中引入一條高速私有匯流排的先進電腦系統中。這樣的電腦系統通常包括一個微處理器、一條主匯流排、一顆北橋控制晶片、一條高速私有匯流排、一條PCI匯流排、一顆南橋控制晶片、一條記憶體匯流排、以及一個記憶體系統。其中，主匯流排連接微處理器到北橋控制晶片上，記憶體匯流排則負責連接北橋控制晶片到記憶體系統。此外，新引進的高速私有匯流排負責連接北橋控制晶片與南橋控制晶片，PCI匯流排則利用南橋控制晶片透過高速私有匯流排與主匯流排或記憶體匯流排溝通。這個方法提供一個存在於北橋控制晶片中的實際設定組態儲存空間A，用來儲存與微處理器和記憶體系統相關的控制邏輯所需之設定

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

值。同時，此方法也在南橋控制晶片中提供一個實際的設定組態儲存空間B，用來儲存與該PCI匯流排相關的控制邏輯所需的設定值。除此之外，此方法在北橋控制晶片（南橋控制晶片）提供一個虛擬的設定組態儲存空間B（A）。這樣的虛擬儲存空間實際上是不存在的。最後，此方法還在北橋控制晶片中提供一個選擇器，這個選擇器會視實際情況決定要選擇儲存於的資料，或是儲存於實際設定組態儲存空間B的資料。此方法的操作方式如下所述。

當微處理器想要進行一個設定組態設定值的寫入動作時，如果這筆資料是該被寫入北橋控制晶片中實際設定組態儲存空間A的話，北橋控制晶片除了執行這項寫入要求外，將會同時告知南橋控制晶片將這筆資料寫入位於南橋控制晶片的虛擬設定組態儲存空間A。同樣地，如果這筆資料是該被寫入南橋控制晶片中的實際設定組態儲存空間B的話，北橋控制晶片除了送出這項寫入要求給南橋控制晶片外，將會同時執行一個寫入動作到北橋控制晶片中的虛擬設定組態儲存空間B。而如果微處理器要進行一項讀取設定組態資料的要求時，此項讀取要求除了被送至北橋控制晶片外，亦會同時發送至南橋控制晶片。此時，位於北橋控制晶片的選擇器會依據其讀取位址而決定該筆資料是從北橋控制晶片中的實際設定組態儲存空間A中取得，或是從南橋控制晶片中的實際設定組態儲存空間B取得。

如此一來，對微處理器而言，彷彿所有的設定組態資料都仍存在於北橋控制晶片當中。但實際上，一些與PCI

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

匯流排相關的組態設定值則是儲存於南橋控制晶片中。這樣的設計可隱藏先進電腦系統引進一條高速私有匯流排所造成的影響，卻可同時滿足先進系統必須分割組態設定空間分布的需求。

為達上述及其他目的，本發明提供一種分割設定組態位址空間的系統，此系統包括一個微處理器、一條主匯流排、一顆北橋控制晶片、一條高速私有匯流排、一條PCI匯流排、一顆南橋控制晶片、一條記憶體匯流排、以及一個記憶體系統。其中，主匯流排連接微處理器到北橋控制晶片上，記憶體匯流排則負責連接北橋控制晶片到記憶體系統。此外，新引進的高速私有匯流排負責連接北橋控制晶片與南橋控制晶片，PCI匯流排則利用南橋控制晶片透過高速私有匯流排與主匯流排或記憶體匯流排溝通。其中，北橋控制晶片中包括一個設定組態儲存空間A，用以儲存與該微處理器以及該記憶體系統相關的控制邏輯所需的設定值；而該南橋控制晶片包括一個設定組態儲存空間B，用以儲存與該PCI匯流排相關的控制邏輯所需的設定值。此外，北橋控制晶片還存在一個虛擬的設定組態儲存空間B，而南橋控制晶片則存在一個虛擬的設定組態儲存空間A。同時，北橋控制晶片包括一個選擇器，這個選擇器將視實際情況而選擇來自北橋控制晶片中設定組態儲存空間A所傳來的資料，或是來自南橋控制晶片中設定組態儲存空間B所傳來的資料，以回應微處理器的讀取要求。

當微處理器欲寫入設定組態值時，如果這筆資料將

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(6)

儲存於北橋控制晶片中的設定組態儲存空間A，北橋控制晶片仍會發動一個讀寫要求給南橋控制晶片，只是這筆資料在南橋控制晶片中並不會真的被儲存下來，而只是寫入一個虛擬的設定組態儲存空間A。同樣地，如果微處理器欲寫入的資料將儲存於南橋控制晶片中的設定組態儲存空間B，北橋控制晶片則會將資料寫入上述的虛擬設定組態儲存空間B，並要求南橋控制晶片將這筆資料儲存於設定組態儲存空間B中。

如此一來，從BIOS或OS系統開發者的角度看來，設定組態的儲存空間如同沒有被分割般，是以原有的軟體程式均不需要做相對應的修改即可使用。而實際上，設定組態空間的確依照實際的需求而分別儲存於北橋控制晶片與南橋控制晶片，使得新進電腦系統得以順利地引進一條高速私有匯流排於南北橋控制晶片之間，以達到提昇傳輸速率的功能。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

圖式之簡單說明：

第1圖係顯示一種習知傳統PCI匯流排系統架構及其組態暫存器分布位置之示意圖。

第2圖係顯示一種習知先進PCI匯流排系統架構及其組態暫存器分布位置之示意圖。

第3圖係顯示根據本發明較佳實施例之先進PCI匯流

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

排系統架構及其組態暫存器分布位置之示意圖。

圖式標號之簡單說明：

- 100 北橋控制晶片
- 110 微處理器
- 120 PCI匯流排
- 130 南橋控制晶片
- 140 高速私有匯流排
- 150 記憶體系統
- 160 170 主橋接器設定組態儲存空間
- 190 ISA設定組態儲存空間
- 180 ISA匯流排
- 200 主匯流排
- 210 記憶體匯流排
- 220 實際主橋接器設定組態儲存空間A
- 230 虛擬主橋接器設定組態儲存空間B
- 240 虛擬主橋接器設定組態儲存空間A
- 250 實際主橋接器設定組態儲存空間B

實施例

第3圖所示係為根據本發明一較佳實施例之先進PCI匯流排系統架構及其組態暫存器分布位置之示意圖。如第3圖所示本發明提供一種分割設定組態位址空間的系統，此系統包括一個微處理器110、一條主匯流排200、一顆北橋控制晶片100、一條高速私有匯流排140、一條PCI匯流排120、一顆南橋控制晶片130、一條記憶體匯流排210、以

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

及一個記憶體系統150。其中，主匯流排200連接微處理器110到北橋控制晶片100上，記憶體匯流排210則負責連接北橋控制晶片100到記憶體系統150。此外，新引進的高速私有匯流排140負責連接北橋控制晶片100與南橋控制晶片130，PCI匯流排120則利用南橋控制晶片130透過高速私有匯流排140與主匯流排200或記憶體匯流排210溝通。

而在本發明中，北橋控制晶片100中包括一個實際主橋接器設定組態儲存空間A(220)，用以儲存與微處理器110以及記憶體系統150相關的控制邏輯所需的設定值，也可說是電腦系統中與北橋控制晶片100相關的控制邏輯所需的設定值；而南橋控制晶片130包括一個實際主橋接器設定組態儲存空間B(250)，用以儲存與PCI匯流排120相關的控制邏輯所需的設定值。此外，北橋控制晶片100可視為存在一個虛擬主橋接器設定組態儲存空間B(230)，其為實際主橋接器設定組態儲存空間B(250)之虛擬映射，而南橋控制晶片130則可視為存在一個虛擬主橋接器設定組態儲存空間A(240)，其為實際主橋接器設定組態儲存空間A(220)之虛擬映射。同時，北橋控制晶片100包括一個選擇器260，這個選擇器將視實際情況而選擇來自北橋控制晶片100中實際主橋接器設定組態儲存空間A(220)所傳來的資料，或是來自南橋控制晶片130中實際主橋接器設定組態儲存空間B(250)所傳來的資料，以回應微處理器110的讀取要求。

也就是說，當微處理器110進行有關於主橋接器設定

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

組態儲存空間之讀出操作週期，且此讀出操作週期之目標係定址在實際主橋接器設定組態儲存空間A(220)時，則選擇器260真正送出的資料係選擇實際主橋接器由設定組態儲存空間A(220)所讀出之資料；當微處理器110進行有關主橋接器設定組態儲存空間之讀出操作週期，且此讀出操作週期之目標係定址在實際主橋接器設定組態儲存空間B(250)時，則選擇器260真正送出的資料係選擇由實際主橋接器設定組態儲存空間B(250)所讀出之資料。

當微處理器110欲寫入設定組態值時，如果這筆資料將儲存於北橋控制晶片中的實際主橋接器設定組態儲存空間A(220)，北橋控制晶片100仍會發動一個讀寫要求給南橋控制晶片130，只是這筆資料在南橋控制晶片中的並不會真的被儲存下來，而只是寫入一個虛擬主橋接器設定組態儲存空間A(240)。同樣地，如果微處理器欲寫入的資料將儲存於南橋控制晶片中的實際主橋接器設定組態儲存空間B(250)，北橋控制晶片則會將資料寫入上述的虛擬主橋接器設定組態儲存空間B(230)，並要求南橋控制晶片將這筆資料儲存於實際主橋接器設定組態儲存空間B(250)中。

也就是說，當微處理器110進行有關組態儲存空間之一個寫入操作週期時，此寫入操作週期同時傳送至北橋控制晶片100與南橋控制晶片130中。當此寫入操作週期之目標係定址在實際主橋接器設定組態儲存空間A(220)時，則資料僅寫入實際主橋接器設定組態儲存空間A(220)中；

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

當此寫入操作週期之目標係定址在實際主橋接器設定組態儲存空間B(250)時，則資料僅寫入實際主橋接器設定組態儲存空間B(250)中。

如此一來，從BIOS或OS系統開發者的角度看來，設定組態的儲存空間如同沒有被分割般，是以原有的軟體程式均不需要做相對應的修改即可使用。而實際上，主橋接器設定組態空間的確依照實際的需求而分別儲存於北橋控制晶片100與南橋控制晶片130中，使得新進電腦系統得以順利地引進一條高速私有匯流排140於南北橋控制晶片之間，以達到提昇傳輸速率的功能。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

1.一種分割設定組態位址空間的方法，其應用於一電腦系統，該電腦系統包括一微處理器、一北橋控制晶片、一第一匯流排、一南橋控制晶片、以及一第二匯流排，該第一匯流排耦接至該北橋控制晶片以及該南橋控制晶片，而該南橋控制晶片更耦接至該第二匯流排，該分割設定組態位址空間的方法包括下列步驟：

提供一第一實際設定組態儲存空間，位於該北橋控制晶片中，用以儲存該電腦系統中與該北橋控制晶片相關的控制邏輯所需的設定值；

提供一第二實際設定組態儲存空間，位於該南橋控制晶片中，用以儲存與該第二匯流排相關的控制邏輯所需的設定值；

當該微處理器進行有關組態儲存空間之一寫入操作週期時，該寫入操作週期同時傳送至該北橋控制晶片與該南橋控制晶片中，且：

當該寫入操作週期定址在該第一實際設定組態儲存空間時，則僅該第一實際設定組態儲存空間被寫入；以及

當該寫入操作週期定址在該第二實際設定組態儲存空間時，則僅該第二實際設定組態儲存空間被寫入；以及

當該微處理器進行有關組態儲存空間之一讀出操作週期時，且：

當該讀出操作週期定址在該第一實際設定組態

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

儲存空間時，則選擇由該第一實際設定組態儲存空間所讀出之資料；以及

當該讀出操作週期定址在該第二實際設定組態儲存空間時，則選擇由該第二實際設定組態儲存空間所讀出之資料。

2.如申請專利範圍第1項所述之分割設定組態位址空間的方法，更包括下列步驟：

提供一選擇器，位於該北橋控制晶片中，用以當該微處理器進行有關組態儲存空間之該讀出操作週期時，選擇由該第一實際設定組態儲存空間與該第二實際設定組態儲存空間二者擇一所讀出之資料。

3.如申請專利範圍第1項所述之分割設定組態位址空間的方法，其中該電腦系統更包括一記憶體匯流排以及一記憶體系統，而該電腦系統中與該北橋控制晶片相關的控制邏輯所需的設定值至少包括與該微處理器以及該記憶體系統相關的控制邏輯所需的設定值。

4.如申請專利範圍第1項所述之分割設定組態位址空間的方法，其中該第一匯流排係一高速私有匯流排。

5.如申請專利範圍第1項所述之分割設定組態位址空間的方法，其中該第二匯流排係一PCI匯流排。

6.一種分割設定組態位址空間的方法，其應用於一電腦系統，該電腦系統包括一微處理器、一主匯流排、一北橋控制晶片、一高速私有匯流排、一PCI匯流排、一南橋控制晶片、一記憶體匯流排、以及一記憶體系統，該主匯

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

六、申請專利範圍

流排耦接至該微處理器以及該北橋控制晶片，該記憶體匯流排耦接至該北橋控制晶片與該記憶體系統，該高速私有匯流排耦接至該北橋控制晶片以及該南橋控制晶片，而該南橋控制晶片耦接至該PCI匯流排，該方法提供：

一第一實際設定組態儲存空間，其位於該北橋控制晶片中，用以儲存與該微處理器以及該記憶體系統相關的控制邏輯所需的設定值；

一第一虛擬設定組態儲存空間，其位於該北橋控制晶片中；

一第二實際設定組態儲存空間，其位於該南橋控制晶片中，用以儲存與該PCI匯流排相關的控制邏輯所需的設定值；

一第二虛擬設定組態儲存空間，其位於該南橋控制晶片中；以及

一選擇器，該選擇器具有一第一輸入端以及一第二輸入端，該第一輸入端耦接至該第一實際設定組態儲存空間，而該第二輸入端透過該高速私有匯流排，耦接至該第二實際設定組態儲存空間，該選擇器並具有一輸出端，該輸出端耦接至該主匯流排；

其中該方法包括下列步驟：

當該微處理器進行一個寫入該第一實際設定組態儲存空間的動作時，同樣的寫入要求會被一併送至該第二虛擬設定組態儲存空間；

當該微處理器進行一個寫入該第二實際設定組態儲

六、申請專利範圍

存空間的動作時，同樣的寫入要求會被一併送至該第一虛擬設定組態儲存空間；

當該微處理器進行一個讀出儲存於該第一實際設定組態儲存空間中的資料時，該選擇器會將其該第一輸入端連接至該選擇器之該輸出端；以及

當該微處理器進行一個讀出儲存於該第二實際設定組態儲存空間中的資料時，該選擇器會將其該第二輸入端連接至該選擇器之該輸出端。

7.一種分割設定組態位址空間的系統，該系統包括：

- 一微處理器；
- 一北橋控制晶片，耦接至該微處理器；
- 一第一匯流排，耦接至該北橋控制晶片；
- 一南橋控制晶片，耦接至該第一匯流排；以及
- 一第二匯流排，耦接至該南橋控制晶片；

其中，該北橋控制晶片包括一第一實際設定組態儲存空間，用以儲存與該北橋控制晶片相關的控制邏輯所需的設定值，而該南橋控制晶片包括一第二實際設定組態儲存空間，用以儲存與該第二匯流排相關的控制邏輯所需的設定值；

當該微處理器進行有關組態儲存空間之一寫入操作週期時，該寫入操作週期同時傳送至該北橋控制晶片與該南橋控制晶片中，且：

當該寫入操作週期定址在該第一實際設定組態儲存空間時，則僅該第一實際設定組態儲存空間被寫

六、申請專利範圍

入；以及

當該寫入操作週期定址在該第二實際設定組態儲存空間時，則僅該第二實際設定組態儲存空間被寫入；

當該微處理器進行有關組態儲存空間之一讀出操作週期時，且：

當該讀出操作週期定址在該第一實際設定組態儲存空間時，則選擇由該第一實際設定組態儲存空間所讀出之資料；以及

當該讀出操作週期定址在該第二實際設定組態儲存空間時，則選擇由該第二實際設定組態儲存空間所讀出之資料。

8.如申請專利範圍第7項所述之分割設定組態位址空間的系統，其中該北橋控制晶片更包括一選擇器，用以當該微處理器進行有關組態儲存空間之該讀出操作週期時，選擇由該第一實際設定組態儲存空間與該第二實際設定組態儲存空間二者擇一所讀出之資料。

9.如申請專利範圍第7項所述之分割設定組態位址空間的系統，更包括一記憶體匯流排以及一記憶體系統，而與該北橋控制晶片相關的控制邏輯所需的設定值包括與該微處理器以及該記憶體系統相關的控制邏輯所需的設定值。

10.如申請專利範圍第7項所述之分割設定組態位址空間的系統，其中該第一匯流排係一高速私有匯流排。

六、申請專利範圍

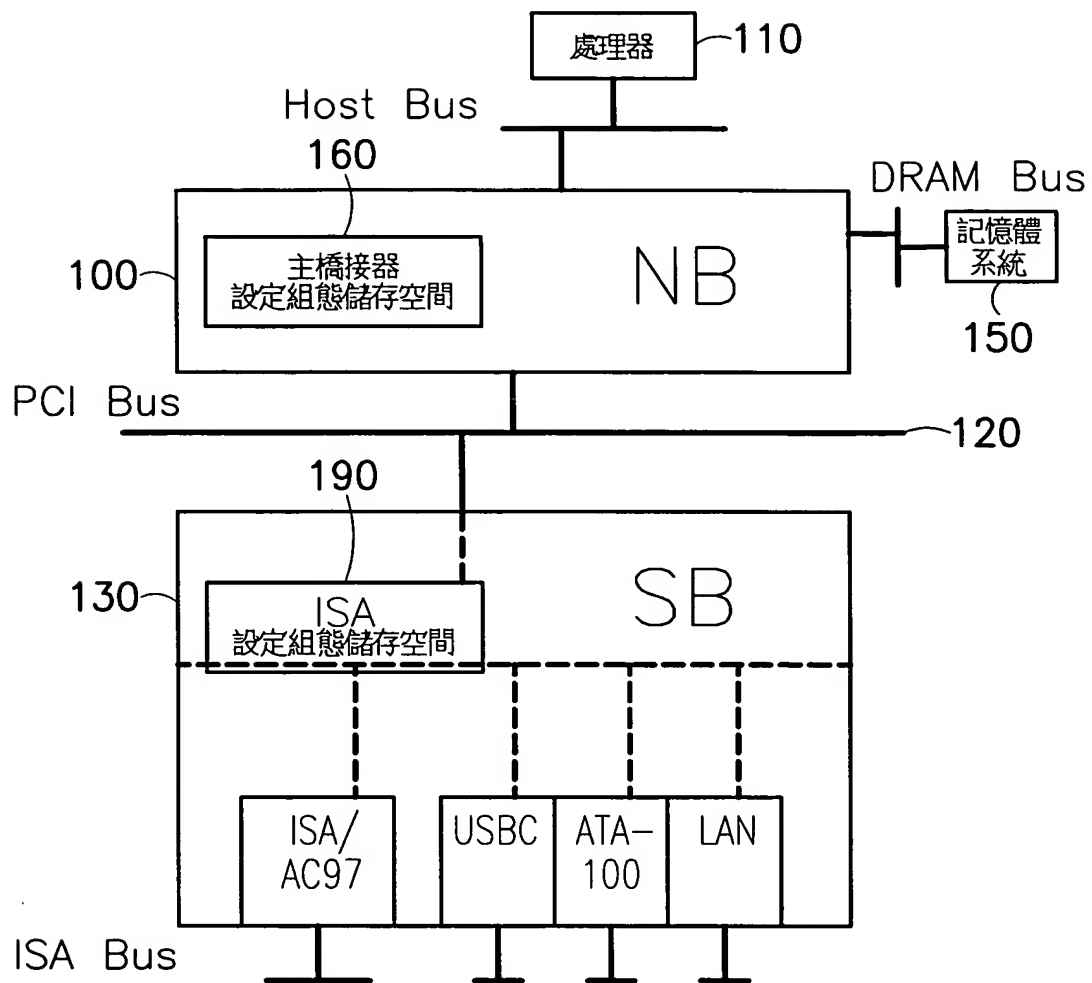
11.如申請專利範圍第7項所述之分割設定組態位址空間的系統，其中該第二匯流排係一PCI匯流排。

12.如申請專利範圍第7項所述之分割設定組態位址空間的系統，其中該北橋控制晶片包括一第一虛擬設定組態儲存空間，其為該第二實際設定組態儲存空間之虛擬映射。

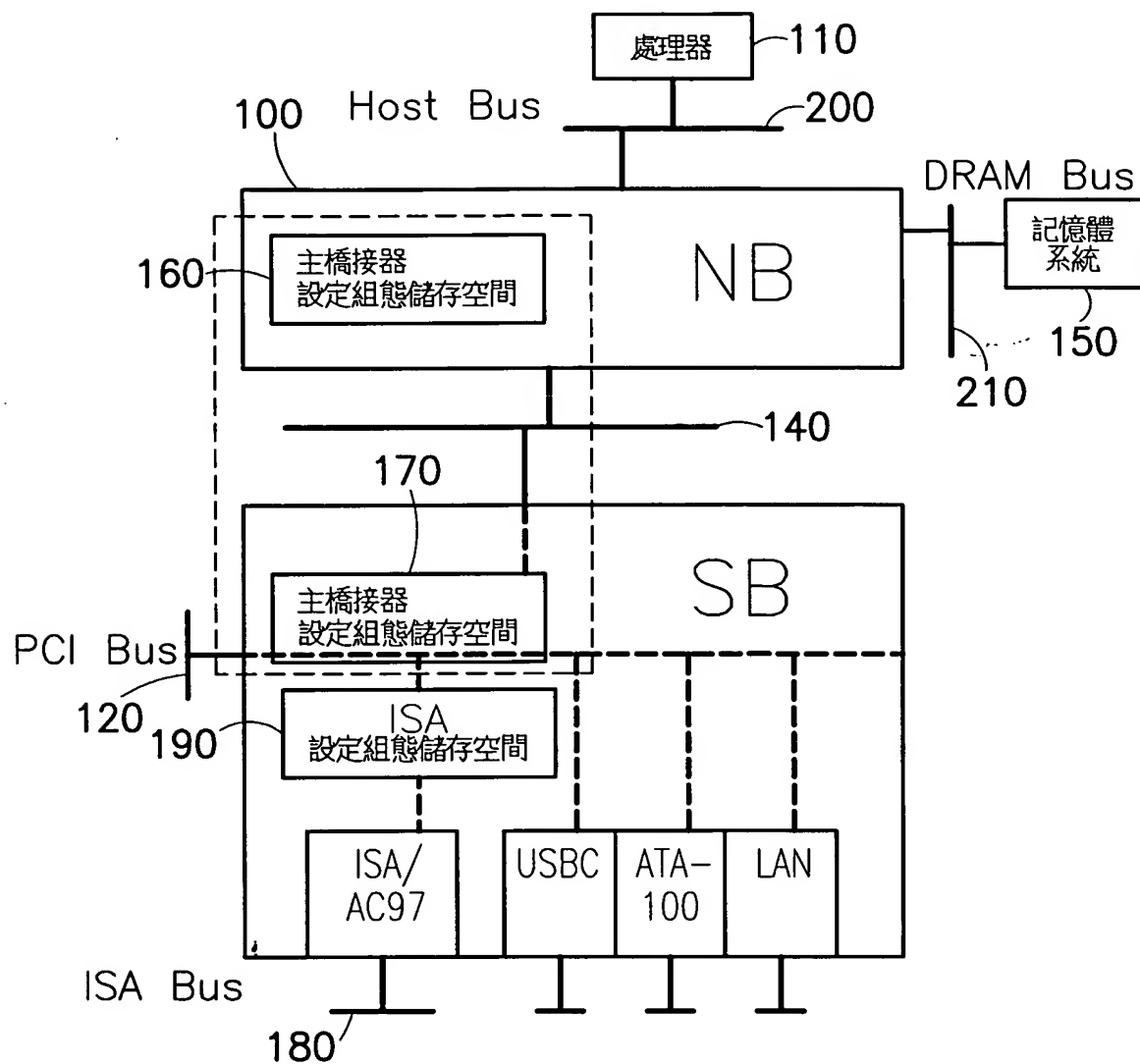
13.如申請專利範圍第7項所述之分割設定組態位址空間的系統，其中該南橋控制晶片包括一第二虛擬設定組態儲存空間，其為該第一實際設定組態儲存空間之虛擬映射。

(請先閱讀背面之注意事項再填寫本頁)

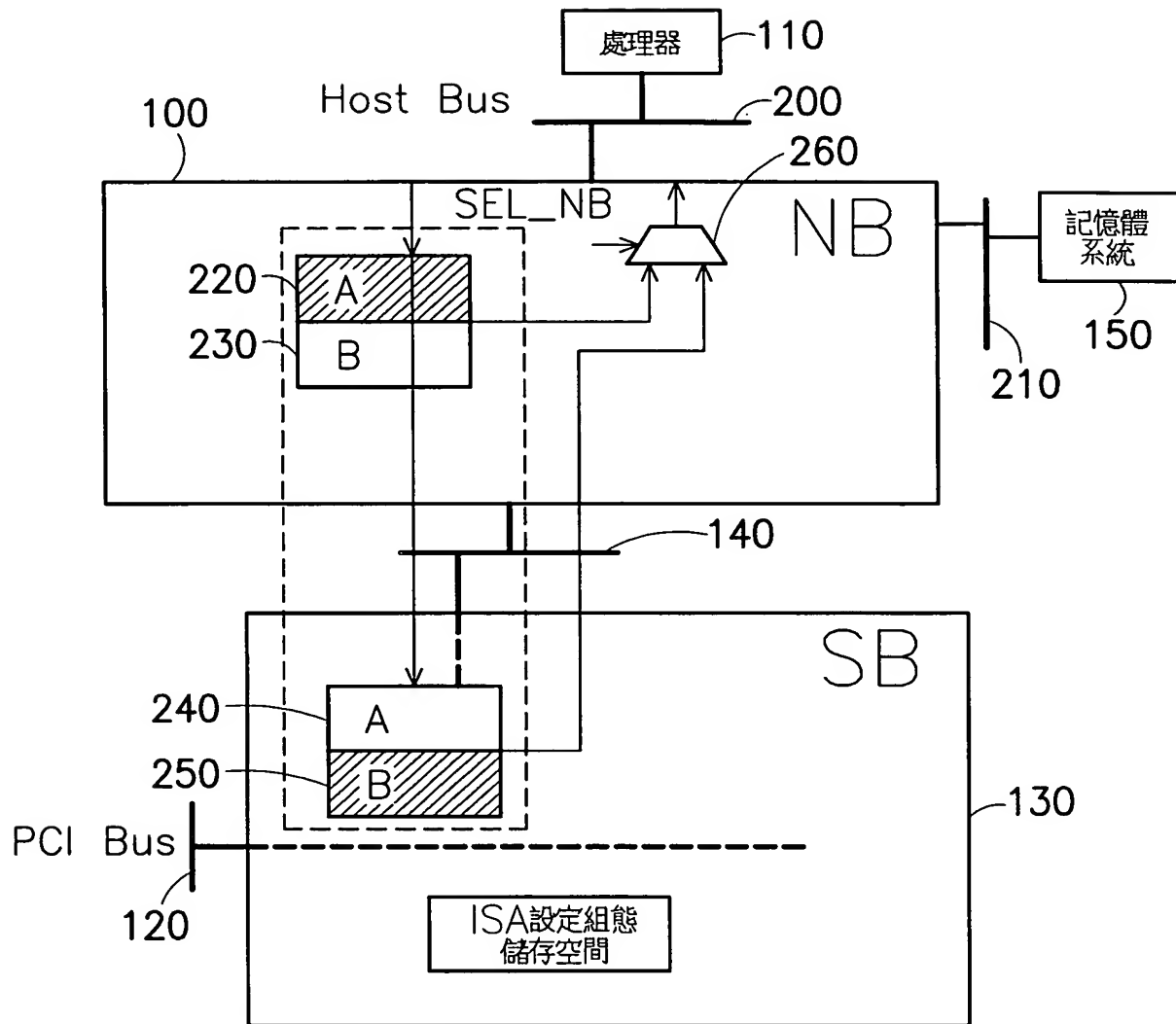
裝
訂
線



第 1 圖



第 2 圖



第 3 圖